

Korean Industrial Property Office

PUBLICATION (Extracted translation)

Publication Date: 15 July 1999
Publication No.: 1999-0055181(patent)
Application Date: 27 December 1997
Application No.: 10-1997-0075093 (patent)
Applicant: Hyundai Electronic Industry Co., Ltd.

Title of the Invention: METHOD OF FORMING FERRODIELECTRIC FILM
USING PLASMA-TREATMENT

Abstract: A method of forming a ferroelectric film using organic metal chemical vapor deposition (CVD) is provided. In the method, a (Ba,Sr)TiO₂ film is deposited by the organic metal CVD and treated with N₂O or O₂ plasma, thereby removing an impurity such as carbon generated in the (Ba,Sr)TiO₂ film due to the use of organic metal material. According to the method, the electrical characteristics of the (Ba,Sr)TiO₂ film can be enhanced, and further, the reliability of a semiconductor device can be raised.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁸

(11) 공개번호 특1999-0055181

H01L 21/31

(43) 공개일자 1999년 07월 15일

(21) 출원번호 10-1997-0075093

(22) 출원일자 1997년 12월 27일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 발명자 경기도 이천시 부발읍 아미리 산 136-1
조호진

(74) 대리인 경기도 성남시 분당구 수내동 푸른마을 벽산아파트 309동 501호
박해천, 원석희

심사청구 : 없음

(54) 플라스마 처리법을 이용한 강유전막 형성 방법

요약

본 발명은 유기금속화합기상증착법에 의한 강유전막 형성 방법에 관한 것으로, 유기금속화합기상증착법으로 형성되는 (Ba,Sr)TiO₃막의 불순물 함량을 줄이기 위하여 유기금속화합기상증착법으로 (Ba,Sr)TiO₃막을 증착하고 N₂O 또는 O₂ 플라스마로 (Ba,Sr)TiO₃막을 처리하여 유기금속 원료에 의해 (Ba,Sr)TiO₃막 내에 존재하는 탄소 등의 불순물을 제거함으로써 (Ba,Sr)TiO₃막의 전기적 특성을 향상시켜 단순한 공정의 추가로 반도체 소자의 신뢰성을 향상시킬 수 있다.

도면

도5

명세서

도면의 간단한 설명

도1 내지 도6은 본 발명의 일실시예에 따른 캐패시터 제조 공정 단면도.

* 도면의 주요 부분에 대한 설명

10: 반도체 기판 11: 중간절연막
12: 폴리실리콘 플러그 13: 티타늄막

14: 티타늄 나이트라이드막

15: 이리듐막

16: 이산화이리듐막

16': 하부전극

17: BST막

18: 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강유전막 형성 방법에 관한 것으로, 특히 유기금속화학증착법으로 증착되는 강유전막의 불순물 함량을 감소시킬 수 있는 플라즈마 처리법에 의한 강유전막 형성 방법에 관한 것이다.

기가 비트(giga bit) 디램(DRAM) 소자의 정전용량(capacitance)을 확보하기 위하여 SrTiO_3 와 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (이하 BST라 함) 등과 같은 강유전막을 캐패시터에 이용하기 위한 연구가 활발히 진행되고 있다. 또한, 작은 셀 면적에서 충분한 정전용량을 확보하기 위하여 하부전극(bottom electrode)을 저장노드(storage node) 형태로 제조하여 단순 적층(stack) 구조의 캐패시터를 제조하는데, 이와 같은 적층 형태에 증착되는 막의 단차폭특성을 향상시키기 위하여 유기금속화학기상증착(metal organic chemical vapor deposition, MOCVD)법이 이용되고 있다.

그러나, 유기금속화학증착법으로 우수한 전기적 특성을 갖는 BST막을 증착하기 위해서는 유기금속 원료에 포함되어 있는 탄소 등의 불순물이 적으며 결정성이 좋은 박막의 증착 공정이 필요하다. 이를 위해 현재에는 전자 싸이클로트론 공명(electro cyclotron resonance) 플라즈마 증착법 또는 증착 공정과 열처리 공정을 반복하는 2단계 증착법 등이 이용되고 있다. 그러나, ECR 플라즈마 증착법은 증착장비가 복잡하고, 2 단계 증착법은 증착과 후속 열처리 공정을 2회 반복하므로 공정 단계가 증가하는 단점이 있다. 따라서 단순한 공정으로 우수한 전기적 특성을 가지는 BST박막을 형성하는 것이 필요하다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 유기금속화학증착법으로 증착되는 강유전막의 탄소와 같은 불순물 함량을 줄일 수 있는 플라즈마 처리법을 이용한 강유전막 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 플라즈마 처리법을 이용한 강유전막 형성 방법에 있어서, 기판 상부에 강유전막을 형성하는 단계와 불순물을 제거하기 위하여 상기 강유전막을 플라즈마 처리하는 단계를 적어도 한 번 실시하는 것으로 이루어진다.

유기금속화학기상증착법에 의한 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 증착에서 N_2O 또는 O_2 플라즈마 처리를 실시함으로써 BST 박막 내에 존재하는 탄소와 같은 불순물 함량을 감소시켜 전기적 특성이 우수한 BST 박막을 증착한다.

이하, 첨부된 도면을 참조하여 본 발명의 일실시예를 설명한다.

도1 내지 도6은 본 발명의 일실시예에 따른 강유전체 캐패시터 제조 공정 단면도로서, 본 발명의 일실시예에 따른 강유전체 캐패시터 형성 방법은 다음과 같이 이루어진다.

먼저, 도1에 도시한 바와 같이 반도체 기판(10) 상에 중간절연막(11)을 형성하고, 선택적으로 식각하여 반도체 기판(10)을 노출하는 콘택홀을 형성한 후, 콘택홀에 형성된 반도체 기판(10) 상부에 화학기상증착법으로 500 Å 내지 3000 Å 두께의 폴리실리콘막을 증착하고, 콘택홀 내에만 폴리실리콘막이 남도록 전면식각을 실시하여 폴리실리콘 플러그(plug)(12)를 형성한다. 이어서, 반도체 기판(10) 상부에 금속확산방지막으로 티타늄(Ti)막(13)을 100 Å 내지 1000 Å 두께로 증착하고, 티타늄 나이트라이드막(TiN)(14)을 200 Å 내지 2000 Å 두께로 증착한다. 상기 티타늄(13)막 대신에 탄탈륨(Ta)막을 형성할 수도 있으며, 상기 티타늄 나이트라이드막(14) 대신에 탄탈륨 나이트라이드(TaN)막, 티타늄 실리사이드막(TiSiN), 또는 탄탈륨 실리나이트라이드(TaSiN)막을 형성할 수도 있다.

다음으로, 도2에 도시한 바와 같이 상기 티타늄 나이트라이드막(14) 및 티타늄막(13)을 사진식각하여 상기 폴리실리콘 플러그(12)와 연결되는 패턴을 형성한다.

다음으로, 반도체 기판(10) 상부에 산소확산방지막인 이리듐막(Ir)(15)을 100 Å 내지 1000 Å 두께로 증착한 후, 전도성 산화물인 이산화이리듐막(IrO₂)(16)을 500 Å 내지 5000 Å 두께로 증착한다. 상기 이리듐막(15) 대신에 산소확산방지막으로 루테튬막을 형성할 수도 있으며, 상기 이산화이리듐막(16) 대신 플라티늄(Pt)막 또는 이산화루테튬(RuO₂)막을 형성하기도 한다.

다음으로, 도4에 도시한 바와 같이 상기 이리듐막(15) 및 이산화이리듐막(16)을 선택적으로 식각하여 하부전극(16')을 형성한다.

다음으로, 도5에 도시한 바와 같이 전체구조 상부에 30 Å 내지 150 Å 두께의 BST막(17)을 증착한 후 450 °C 내지 750 °C에서 1분 내지 20분 동안 N₂O 가스 또는 O₂ 가스를 이용하여 플라즈마 처리하고, 다시 100 Å 내지 1000 Å 두께의 BST막(17)을 형성한 후 450 °C 내지 750 °C에서 1분 내지 20분 동안 N₂O 가스 또는 O₂ 가스를 이용하여 플라즈마 처리한다.

다음으로, 도6에 도시한 바와 같이 BST막(17) 상에 500 Å 내지 2000 Å 두께의 이산화이리듐 등의 전도성 산화물 또는 플라티늄과 같은 내산화성 금속을 증착하고 패턴닝하여 상부전극(18)을 형성한다. 이때, 상기 상부전극(18)을 플라티늄 또는 이산화루테튬막으로 형성할 수도 있다. 이후에 400 °C 내지 1000 °C 온도 및 질소, 산소, 또는 N₂O 가스 분위기에서 1분 내지 60분간 급속열처리(rapid thermal annealing) 또는 관상열처리 공정을 실시한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 유기화학기상증착법으로 BST막을 형성하는 과정에서 플라즈마 처리를 실시하여 BST 막 내에 존재하는 탄소 등의 불순물을 낮은 온도에서 감소시킬 수 있으므로 비교적 간단한 저온 공정으로 캐패시터의 전기적 특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1. 기판 상부에 강유전막을 형성하는 단계와 불순물을 제거하기 위하여 상기 강유전막을 플라즈마 처리하는

단계를 적어도 한 번 실시하는 플라즈마 처리법을 이용한 강유전막 형성 방법.

청구항 2. 제 1 항에 있어서,

상기 강유전막은,

(Ba,Sr)TiO₃ 로 형성하는 플라즈마 처리법을 이용한 강유전막 형성 방법.

청구항 3. 제 1 항 또는 제 2 항에 있어서,

상기 강유전막은,

유기금속화학기상증착법으로 형성하는 플라즈마 처리법을 이용한 강유전막 형성 방법.

청구항 4. 제 3 항에 있어서,

상기 플라즈마 처리 단계는,

N₂O 또는 O₂ 가스를 이용하는 플라즈마 처리법을 이용한 강유전막 형성 방법.

청구항 5. 제 4 항에 있어서,

상기 플라즈마 처리 단계는,

450 °C 내지 750 °C 온도에서 실시하는 플라즈마 처리법을 이용한 강유전막 형성 방법.

청구항 6. 제 5 항에 있어서,

상기 플라즈마 처리 단계는,

1 분 내지 20분 동안 실시하는 플라즈마 처리법을 이용한 강유전막 형성 방법.

청구항 7. 제 6 항에 있어서,

기판 상에 30 Å 내지 150 Å 두께의 제1 (Ba,Sr)TiO₃막을 형성하는 단계;

상기 제1 (Ba,Sr)TiO₃막을 플라즈마 처리하는 단계;

상기 제1 (Ba,Sr)TiO₃막 상에 100 Å 내지 1000 Å 두께의 제2 (Ba,Sr)TiO₃막을 형성하는 단계; 및

상기 제2 (Ba,Sr)TiO₃막을 플라즈마 처리하는 단계를 포함하여 이루어지는 플라즈마 처리법을 이용한 강유전막 형성 방법

도면

도면1

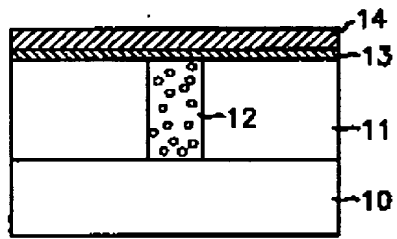


図 2

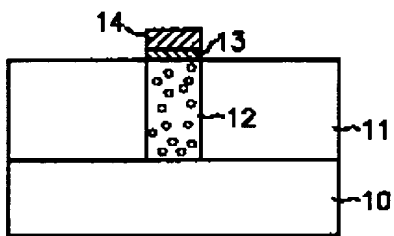


図 3

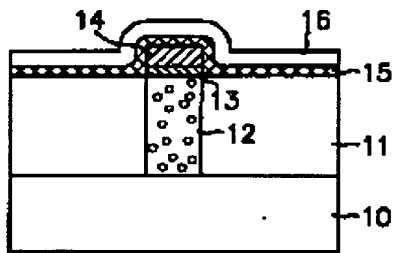
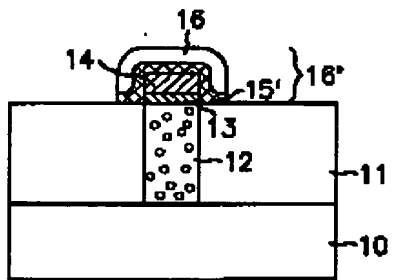
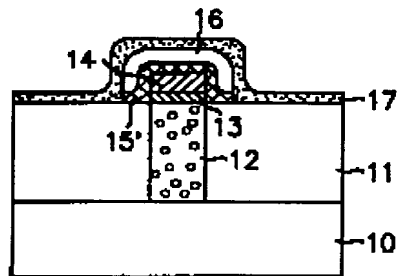


図 4



도면5



도면6

